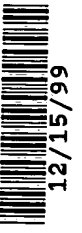


#2
Priority
Paper
2-23-00

9855027

JC675 U.S. PTO
09/464322



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

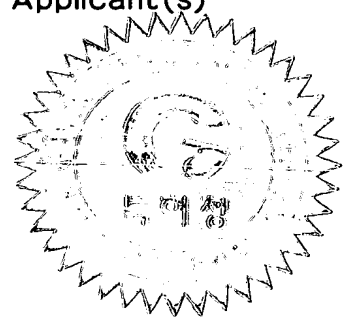
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제54972호
Application Number

출원년월일 : 1998년 12월 15일
Date of Application

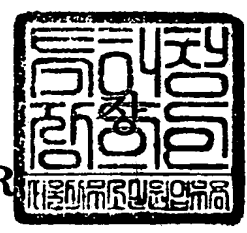
출원인 : 삼성전자주식회사
Applicant(s)



199 9 년 4 월 19 일

특 허 청

COMMISSIONER



특허출원서

【출원번호】 98-054972

【출원일자】 1998/12/15

【국제특허분류】 H01L 21/00

【발명의 국문명칭】 반도체 패키지 및 그 조립방법

【발명의 영문명칭】 Semiconductor package and method for assembling the same

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【우편번호】 442-370

【주소】 경기도 수원시 팔달구 매탄동 416번지

【국적】 KR

【대리인】

【성명】 임평섭

【대리인코드】 H413

【전화번호】 02-569-0223

【우편번호】 151-021

【주소】 서울특별시 관악구 신림11동 1474-12 남성빌딩 3층

【대리인】

【성명】 정현영

【대리인코드】 K200

【전화번호】 02-569-0223

【우편번호】 151-021

【주소】 서울특별시 관악구 신림11동 1474-12 남성빌딩 3층

【대리인】

【성명】 최재희

【대리인코드】 L143

【전화번호】 02-569-0223

【우편번호】 151-021

【주소】 서울특별시 관악구 신림11동 1474-12 남성빌딩 3층

【발명자】

【국문성명】 권흥규

【영문성명】 KWON, Heung Kyu

【주민등록번호】 660324-1774512

【우편번호】 463-500

【주소】 경기도 성남시 분당구 구미동 202 무지개마을 엘지아파트 208-206

【국적】 KR

【발명자】

【국문성명】 조민교

【영문성명】 CHO, Min Kyo

【주민등록번호】 680620-1029319

【우편번호】 142-102

【주소】 서울특별시 강북구 미아2동 833번지 28호(7-1)

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

임평섭 (인)

대리인

정현영 (인)

대리인

최재희 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

임평섭 (인)

대리인

정현영 (인)

대리인

최재희 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 29 항 1,037,000 원

【합계】 1,074,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문)

【요약서】

【요약】

본 발명은 반도체 패키지 및 그 조립방법에 관한 것으로, 본 발명에서는 히트 슬러그와 반도체칩 사이에 열전도도가 매우 우수한 예컨대, Pb, Sn, Ag, In, Bi의 합금재질인 도전성 솔더필름을 개재시킨다.

이러한 합금재질의 도전성 솔더필름은 열전도도가 25W/mK~40W/mK 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어나기 때문에, 도전성 솔더필름이 반도체칩과 히트 슬러그 사이에 개재되는 경우, 반도체칩은 자신의 고속동작에 의해 발생되는 열을 도전성 솔더필름과 히트 슬러그를 통해 신속하게 방출할 수 있다.

이러한 본 발명이 달성되는 경우, 반도체칩은 히트 슬러그를 사용하면서도, 빠른 열방출을 정상적으로 수행받을 수 있다.

【대표도】

도 1

【명세서】

【발명의 명칭】

반도체 패키지 및 그 조립방법

【도면의 간단한 설명】

도 1은 본 발명의 일실시예에 따른 반도체 패키지를 도시한 사시도.

도 2는 본 발명의 반도체 패키지에 채용된 반도체칩의 형상을 도시한 사시도.

도 3은 본 발명의 다른 실시예에 따른 반도체 패키지를 도시한 사시도.

도 4a 내지 도 4c는 본 발명의 일실시예에 따른 반도체 패키지의 조립방법을 순차적으로 도시한 단면공정도.

도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 반도체 패키지의 조립방법을 순차적으로 도시한 단면공정도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 패키지, 예컨대, 플립형 반도체 패키지에 관한 것으로, 좀더 상세하게는 히트 슬러그와 반도체칩 사이에 열전도도가 매우 우수한 도전성 솔더필름을 개재시키고, 이를 통해, 히트 슬러그의 열방출 효과가 극대화되도록 함으로써, 반도체칩이 히트 슬러그를 사용하면서도, 별다른 방해물 없이 빠른 열방출을 정상적으로 이룰 수 있도록 하는 반도체 패키지에 관한 것이다. 더욱이, 본 발명은

이러한 반도체 패키지를 조립하는 조립방법에 관한 것이다.

최근들어, 전자기기와 정보기기의 정보처리 속도가 고속화함에 따라 이에 사용되는 반도체 칩 또한 고속화되고 있으며, 이러한 추세에 부응하여 반도체 패키지 또한 점차 다핀화되고 있다. 이러한 반도체 패키지의 다핀화 추세에 맞추어 와이어를 제거한 플립 칩형 반도체 패키지가 개발되어 널리 각광받고 있다.

그런데, 근래에 들어, 전자기기와 정보기기의 정보처리 속도가 고속화함에 따라 이에 사용되는 반도체 패키지, 예컨대, 플립형 반도체 패키지의 구동속도 또한 매우 빠르게 고속화되고 있으며, 이러한 반도체 패키지의 고속화 추세에 맞추어 반도체칩에서 발생하는 열을 원활하게 방출시키기 위한 다양한 방법들이 심도깊게 연구되고 있다.

통상, 종래의 플립형 반도체 패키지에서, 반도체칩은 일반형 반도체칩과 달리 와이어를 사용하지 않으면서, 액티브면이 기판을 향하도록 뒤집어져 칩의 표면을 예컨대, 솔더 범프 등의 통전 매개체를 통해 기판에 접촉시킴과 아울러 칩의 이면을 기판의 반대방향으로 노출시키는 구조를 이룬다.

이때, 칩의 이면에는 쿨링핀과 팬을 구비한 히트싱크가 실장되는데, 이 경우, 칩의 이면과 히트싱크 사이에는 이들 사이의 콘택 열저항을 줄이기 위한 중간 매체, 예컨대, 열 에폭시가 개재된다.

여기서, 칩의 이면과 히트싱크 사이의 열저항을 적정 수준으로 줄이기 위해서는 열 에폭시의 전체 두께를 매우 얇게 형성하여, 열전달 경로를 최대한 줄이는 작업이 선행되어야 하는데, 기술상, 열 에폭시의 전체 두께를 얇게 형성하는데에는

어느 정도의 한계가 있다. 이러한 이유로, 열 에폭시만으로 칩과 히트싱크 사이의 콘택 열저항을 줄이는 작업 역시 한계에 부딪히고 있다.

이를 해결하기 위하여, 최근, 클립, 볼트등의 결합치구를 이용하여 히트싱크를 기판에 강제 결합하고, 이러한 결합력을 통해, 열 에폭시를 칩 쪽으로 강하게 누름으로써, 열 에폭시의 전체 두께가 얇아지도록 하는 방안이 강구되고 있다.

그러나, 이러한 경우, 히트싱크의 누르는 힘에 의해, 열 에폭시 뿐만아니라, 반도체칩까지도 한꺼번에 눌리는 결과가 초래됨으로써, 반도체칩이 예측하지 못한 큰 손상을 입는 문제점이 야기된다.

최근, 이를 해결하기 위하여, 열 에폭시와 히트싱크 사이에 히트 슬러그를 개재시키고, 이러한 히트 슬러그를 통해, 히트싱크의 누르는 힘이 어느 정도 완충되도록 함으로써, 히트싱크의 가압에 의한 반도체칩의 손상을 방지하는 방안이 강구되고 있다.

이후, 플립 칩형 반도체 패키지는 솔더 범프 등을 매개로 기판과 접촉된 상태에서 고속동작을 수행함으로써, 자신에게 주어진 역할을 신속하게 수행한다.

이러한 종래의 솔더 범프의 구조는 예컨대, 미국특허공보 제 4950623 호 "솔더 범프 형성방법(Method of building solder bumps)", 미국특허공보 제 5162257 호 "솔더 범프 제조방법(Solder bump fabrication method)" 등에 좀더 상세하게 제시되어 있다.

이때, 반도체칩의 고속동작에 의해 발생하는 열은 히트 슬러그를 경유한 후, 히트싱크를 통해 외부로 신속히 방출될 수 있고, 반도체칩은 불필요한 열화현상 없

이 안정적인 동작을 알맞게 수행할 수 있다.

【발명이 이루고자 하는 기술적 과제】

그러나, 이러한 종래의 반도체 패키지는 몇 가지 중대한 문제점이 있다.

상술한 바와 같이, 열 에폭시와 히트싱크 사이에는 히트싱크의 가압에 의한 반도체칩의 손상을 방지하기 위하여 히트 슬러그가 개재 설치된다.

그런데, 이러한 히트 슬러그는 반도체칩의 손상을 방지하는 효과는 발휘할 수 있지만, 예측하지 못한 다른 문제점을 유발한다.

일례로, 히트 슬러그가 열 에폭시와 히트싱크 사이에 개재되는 경우, 반도체 칩과 히트싱크 사이에는 열 에폭시 이외에 하나의 인터페이스가 더 증가되는 결과가 초래되고, 결국, 히트 슬러그의 설치로 인해, 반도체 패키지의 전체적인 열저항은 히트 슬러그가 설치되지 않은 경우에 비해, 현저히 증가하게 된다.

이러한 열저항 증가를 미리 방지하기 위해서는 예컨대, 열 에폭시의 열전도도를 높이는 등의 다른 조치가 취해져야 하지만, 통상적인 열 에폭시의 열전도도는 예컨대, 3W/mK 정도의 낮은 값으로 픽스되어 있기 때문에, 이의 열전도도를 높이는 데에는 한계가 있다.

이러한 결과에 따라, 반도체 패키지의 전체적인 열저항이 증가하면, 반도체 칩은 잦은 열화 고장을 일으키게 되며, 결국, 반도체 패키지를 채용한 전자기기의 성능이 현저히 저하되는 문제점이 야기된다.

따라서, 본 발명의 목적은 히트 슬러그를 채용하여, 반도체칩의 손상을 방지하면서도, 반도체 패키지의 전체적인 열 저항을 적정 수준으로 낮출 수 있도록 하

는데 있다.

본 발명의 다른 목적은 반도체칩의 열화 고장을 억제시키는데 있다.

본 발명의 또 다른 목적은 반도체 패키지를 채용한 전자기기의 성능을 정상적으로 유지시키는데 있다.

본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

【발명의 구성 및 작용】

상기와 같은 목적을 달성하기 위하여 본 발명에서는 히트 슬러그와 반도체칩 사이에 열전도도가 매우 우수한 예컨대, Pb, Sn, Ag, In, Bi의 합금재질인 도전성 솔더필름을 개재시킨다. 이러한 합금재질의 도전성 솔더필름은 열전도도가 25W/mK~40W/mK 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어나기 때문에, 도전성 솔더필름이 반도체칩과 히트 슬러그 사이에 개재되는 경우, 반도체칩은 자신의 고속동작에 의해 발생하는 열을 도전성 솔더필름과 히트 슬러그를 통해 신속하게 방출할 수 있다. 물론, 이러한 도전성 솔더필름의 열방출 능력이 종래의 열에 폭시 보다 현저히 우수한 것은 당연하다. 이러한 본 발명이 달성되는 경우, 반도체칩은 히트 슬러그를 사용하면서도, 빠른 열방출을 정상적으로 수행받을 수 있다.

이러한 본 발명의 달성에 의하여, 반도체칩과 히트싱크 사이에는 히트 슬러그가 자유롭게 설치 개재될 수 있고, 결국, 반도체칩은 히트싱크의 가압에 의한 손상을 미리 방지받을 수 있다.

이러한 본 발명에서는 본 발명 특유의 효과를 더욱 증대시키기 위하여, 여러

가지 부가적인 요소를 추가로 형성시키는데, 일례로, 도전성 솔더필름과 접촉되는 반도체칩의 이면에 도전성 솔더필름과의 접촉력을 향상시키기 위한 예컨대, VNi/Au, Ti/VNi/Au, Cr/VNi/Au, Ti/Pt/Au, Cr/CrCu/(Cu)/Au, TiW/(Cu,NiV)/Au, VNi/Pd, Ti/VNi/Pd, Cr/VNi/Pd, Ti/Pt/Pd, Cr/CrCu/(Cu)/Pd, TiW/(Cu,NiV)/Pd 재질의 메탈레이어를 더 형성시킨다.

또한, 반도체칩이 히트싱크에서 전달되는 가압력의 영향을 받지않도록 히트 슬러그의 형상을 대폭 개선한다. 이 경우, 히트 슬러그는 1차로 절곡되어 상판 및 측판을 형성하고, 상판이 반도체칩과 동일축에 놓인 상태로 도전성 솔더필름과 접촉되며, 측판이 반도체칩의 양 측부에 놓여져 기판에 접합 고정되는 구조를 이룬다.

이러한 본 발명의 달성에 따라서, 반도체칩은 히트싱크에서 전달되는 가압력이 영향을 미치더라도 히트 슬러그에 의해 안정적인 보호를 받을 수 있으며, 또한, 히트 슬러그가 열방출을 방해하더라도, 도전성 솔더필름에 의해 열전도도를 크게 상승받을 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 패키지 및 그 조립방법을 좀더 상세히 설명하면 다음과 같다.

도 1에 도시된 바와 같이, 본 발명에 따른 반도체 패키지(100)에서, 기판(20)의 표면에는 기판(20)의 회로패턴들과 내부 전기부품, 예컨대, 반도체칩(10)과의 전기적인 통전로를 제공하기 위한 다수개의 본딩패드(22)가 후술하는 도전성 범프들에 대응하여 배치되며, 기판(20)의 이면에는 기판(20)과 외부 회로블록과의 전

기적인 통전로를 제공하기 위한 신호터미널(21)이 배치된다. 이러한 신호터미널의 형상은 BGA, PGA, LGA 등의 여러 가지 형태를 이룰 수 있다. 도 1에는 일례로, PGA 형상의 신호터미널이 도시되어 있다.

이때, 본딩패드(22)의 상부에는 자신의 일면, 예컨대, 표면을 본딩패드(22)에 접촉시켜 기판(20)의 회로패턴들과 전기적으로 연결되는 반도체칩(10)이 배치되는데, 여기서, 본딩패드(22)의 상부를 포함하는 반도체칩(10)의 양 측부에는 본딩패드(22), 도전성 범프(16) 및 반도체칩(10) 사이의 열팽창계수 차이를 완화시켜주기 위한 언더필링부(50)가 더 형성된다.

이때, 도 2에 도시된 바와 같이, 반도체칩(10)은 예컨대, 실리콘 재질의 칩본체(11)와, 칩본체(11)의 상부에 배치된 패드메탈(12)과, 패드메탈(12)의 가운데가 노출되도록 패드메탈(12)의 양측부를 감싸는 패시베이션막(13)과, 패드메탈(12)의 가운데가 노출되도록 패시베이션막(13)의 상부에 배치된 폴리이미드막(15)의 적층구조로 이루어진다.

여기서, 폴리이미드막(15)의 상부에는 패드메탈(12)과 접촉되도록 예컨대, 볼 형상의 도전성 범프(16)가 형성되는데, 이러한 도전성 범프(16)는 반도체칩(10)이 뒤집어져 자신의 표면을 기판(20) 방향으로 노출시킨 상태로 기판(20)에 실장되는 경우, 본딩패드(22)와 접촉됨으로써, 회로패턴들로부터 출력되는 전기적인 신호가 칩본체(12)로 신속히 전달될 수 있도록 한다.

여기서, 도면에 도시된 바와 같이, 도전성 범프(16)와 폴리이미드막(15), 패드메탈(12) 사이의 계면에는 예컨대, Cr, Cr/Cu, Cu 재질의 UBM(Under Bump

Metallurgy)막(17)이 더 형성된다.

한편, 상술한 도 1에 도시된 바와 같이, 반도체칩(10)의 상부에는 반도체칩(10)으로부터 발생하는 열을 방출함과 아울러, 반도체칩(10)을 외압, 예컨대, 히트싱크의 누르는 힘으로부터 보호하는 예컨대, 판상의 히트 슬러그(40)가 설치된다. 이때, 히트 슬러그(40)는 예컨대, Cu, Al, CuW로 이루어진 금속재질을 갖으며, 히트 슬러그(40)의 일면에는 열방출 효과를 극대화하기 위한 열방출홈(43)이 더 형성된다.

이러한 히트 슬러그(40)는 만약, 자신의 상부에 히트싱크(도시안됨)가 장착되는 경우, 자신의 전면을 통해, 히트싱크가 반도체칩(10)을 누르는 힘을 어느 정도 완충시킴으로써, 히트싱크의 가압에 의한 반도체칩(10)의 손상을 미리 방지시킨다.

이때, 본 발명에서는 상술한 히트 슬러그(40)와 반도체칩(10) 사이에 열전도도가 매우 우수한 예컨대, Pb, Sn, Ag, In, Bi의 합금으로 이루어진 도전성 솔더필름(30)을 개재 형성시킨다. 이러한 합금재질의 도전성 솔더필름(30)은 열전도도가 25W/mK~40W/mK 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어나기 때문에, 본 발명의 도전성 솔더필름(30)이 반도체칩(10)과 히트 슬러그(40) 사이에 접촉 개재되는 경우, 반도체칩(20)은 자신의 고속동작에 의해 발생하는 열을 도전성 솔더필름(30)과 히트 슬러그(40)를 통해 신속하게 방출할 수 있다.

물론, 이러한 도전성 솔더필름(30)의 열방출 능력이 종래의 열 에폭시 보다 현저히 우수한 것은 당연하다. 이러한 본 발명이 달성되는 경우, 반도체칩(10)은

히트 슬러그(40)를 사용하면서도, 빠른 열방출을 정상적으로 수행받을 수 있다.

종래의 경우, 히트싱크의 외력으로부터 반도체칩을 보호하기 위해 히트 슬러그를 설치하는 경우, 반도체 패키지의 전체적인 열저항이 히트 슬러그가 설치되지 않은 경우에 비해, 현저히 증가하는 문제점이 초래되었다. 이러한 열저항 증가를 미리 방지하기 위해서는 예컨대, 열 에폭시의 열전도도를 높이는 조치를 취하여야 하지만, 열 에폭시의 열전도도는 예컨대, 3W/mK 정도의 낮은 값으로 픽스되어 있기 때문에, 이의 열전도도를 높이는 데에는 한계가 있었다.

그러나, 본 발명의 경우, 상술한 바와 같이, 히트 슬러그(40)와 반도체칩(10) 사이에는 종래의 열 에폭시 대신에, 열전도도가 $25\text{W/mK}\sim 40\text{W/mK}$ 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어난 도전성 솔더필름(30)이 설치되기 때문에, 반도체칩(10)은 히트싱크에서 전달되는 가압력이 영향을 미치더라도 히트 슬러그(40)에 의해 안정적인 보호를 받을 수 있으며, 또한, 히트 슬러그(40)가 열방출을 방해하더라도, 도전성 솔더필름(30)에 의해 열전도도를 크게 상승받을 수 있다.

이때, 도전성 솔더필름(30)과 접촉되는 히트 슬러그(40)의 일면(41)에는 예컨대, Ni/Au, Ag, Pd의 재질을 갖는 접합레이어가 더 형성되는데, 이러한 접합레이어는 상술한 도전성 솔더필름(30)과 히트 슬러그(40) 사이의 접촉력을 더욱 상승시키는 기능을 수행한다. 또한, 상술한 도전성 솔더필름(30)과 접촉되지 않는 히트 슬러그의 다른 일면(42)에는 아노다이징레이어가 더 형성되는데, 이러한 아노다이징레이어는 히트 슬러그(40)가 외부의 영향에 의해 산화되는 것을 미리 방지하는 기능을 수행한다.

이때, 도면에 도시된 바와 같이, 반도체칩(10)의 상부면에는 예컨대, VNi/Au, Ti/VNi/Au, Cr/VNi/Au, Ti/Pt/Au, Cr/CrCu/(Cu)/Au, TiW/(Cu,NiV)/Au, VNi/Pd, Ti/VNi/Pd, Cr/VNi/Pd, Ti/Pt/Pd, Cr/CrCu/(Cu)/Pd, TiW/(Cu,NiV)/Pd 재질을 갖는 메탈레이어(14)가 더 형성된다. 이러한 메탈레이어(14)는 반도체칩(10)과 도전성 솔더필름(30) 사이에 접촉 개재됨으로써, 반도체칩(10)과 도전성 솔더필름(14)과의 접촉성이 크게 향상될 수 있도록 하는 기능을 수행한다.

여기서, 본 발명의 도전성 솔더필름(30)은 반도체칩(10) 이상의 사이즈를 유지하는데, 이 경우, 반도체칩(10)으로부터 나오는 열은 상술한 도전성 솔더필름(30)이 반도체칩(10) 이하의 사이즈를 유지하는 경우보다 더 신속하게 방출된다. 도 1과 도2에는 일례로, 도전성 필름(30)이 반도체칩과 동일한 크기를 유지하는 경우가 도시된다.

한편, 도 3에 도시된 바와 같이, 본 발명의 다른 실시예에 따르면, 히트 슬러그(60)는 일부분이 상술한 도전성 솔더필름(30)을 매개로 반도체칩(10)에 부착되고, 다른 일부분이 기판(20)에 접합 고정되는 형상을 갖는다. 물론, 이 경우에도, 히트 슬러그(60)는 반도체칩(10)으로부터 발생하는 열을 방출함과 아울러, 반도체칩(10)을 외압, 예컨대, 히트싱크의 누르는 힘으로부터 보호하는 역할을 수행한다.

이때, 히트 슬러그(60)는 상술한 실시예와 마찬가지로, Cu, Al, CuW로 이루어진 금속재질을 갖으며, 히트 슬러그(60)의 일면에는 열방출 효과를 극대화하기 위한 다수개의 열방출핀(63)이 더 형성된다.

여기서, 도면에 도시된 바와 같이, 히트 슬러그(60)는 1차로 절곡되어 상판

(67) 및 측판(65)을 형성한다. 이 경우, 상판(67)은 반도체칩을 커버한 상태로 도전성 솔더필름(30)과 접촉되며, 측판(65)은 반도체칩(10)의 양 측부를 감싸면서 기판(20)에 접합 고정되는 구조를 이룬다.

이때, 히트 슬러그(60)의 측판(65)은 1차로 추가 절곡되어 하판(66)을 더 형성하고, 이와 같이 형성된 하판(66)을 매개로 기판(20)에 고정된다. 이 경우, 하판(66)은 예컨대, 실리콘 러버(Silicon rubber)와 같은 완충접합제(201)에 의해 기판(20)에 고정된다. 이러한 완충접합제(201)는 히트 슬러그(60)와 기판(20) 사이의 열팽창계수 차이에 따른 히트 슬러그(60)의 박리를 미리 방지한다.

여기서, 히트 슬러그(60)의 상판(67)에는 다수개, 예컨대, 2개의 공정가스 유입홀(64)이 더 형성되는데, 이러한 공정가스 유입홀(64)은 히트 슬러그(60)와 도전성 솔더필름(30)의 접합공정이 진행될 때, 공정가스가 히트 슬러그(60)의 내부로 원활히 유입될 수 있도록 하는 기능을 수행한다.

이러한 공정가스 유입홀(64)은 다른 예로, 히트 슬러그(60)의 측판(65)에 형성될 수도 있는데, 이 경우에도, 공정가스 유입홀(64)은 히트 슬러그(60)와 도전성 솔더필름(30)과의 접합공정이 진행될 때, 공정가스가 히트 슬러그(60)의 내부로 원활히 유입될 수 있도록 하는 기능을 수행한다. 이러한 공정가스 유입홀(64)의 형성 위치는 생산라인의 상황에 따라서 자유롭게 선택 응용될 수 있다.

이러한 본 발명의 다른 실시예에서도, 히트 슬러그(60)와 반도체칩(10) 사이에는 열전도도가 25W/mK~40W/mK 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어난 도전성 솔더필름(30)이 설치되기 때문에, 반도체칩(10)은 히트싱크에서 전달

되는 가압력이 영향을 미치더라도 히트 슬러그(60)에 의해 안정적인 보호를 받을 수 있으며, 또한, 히트 슬러그(60)가 원활한 열방출을 방해하더라도, 도전성 솔더 필름(30)에 의해 열전도도를 크게 상승받을 수 있다.

이때, 상술한 실시예와 마찬가지로, 도전성 솔더 필름(30)과 접촉되는 히트 슬러그(60)의 일면(61)에는 예컨대, Ni/Au, Ag, Pd의 재질을 갖는 접합레이어가 더 형성되기 때문에, 도전성 솔더 필름(30)과 히트 슬러그(60)는 좀더 신뢰성 있는 접촉력을 유지할 수 있다.

또한, 도전성 솔더 필름(30)과 접촉되지 않는 히트 슬러그(60)의 다른 일면(62)에는 아노다이징레이어가 더 형성되기 때문에, 히트 슬러그(60)는 외부의 영향에 의한 산화를 미리 방지받을 수 있다.

이하, 상술한 구성을 갖는 본 발명에 따른 반도체 패키지의 조립방법을 상세히 설명한다.

상술한 구성을 갖는 본 발명의 반도체 패키지는 반도체칩(10)을 패키징하는 제 1 공정과, 히트 슬러그(40)와 도전성 솔더 필름(30)을 접착하여, 일체화된 히트 슬러그(40)/도전성 솔더 필름(30) 어셈블리를 형성한 후, 패키징된 반도체칩(10)의 이면과 도전성 솔더 필름(30)이 접촉되도록 히트 슬러그(40)/도전성 솔더 필름(30) 어셈블리를 반도체칩(10)에 접착하는 제 2 공정과, 히트 슬러그(40)/도전성 솔더 필름(30) 어셈블리가 접착된 반도체칩(10)의 표면이 본딩패드(22)와 접촉되도록 반도체칩(10)을 기판(20)에 실장하는 제 3 공정을 통하여 제조된다.

먼저, 제 1 공정의 진행과정을 상세히 살펴보면 다음과 같다. 이때, 후술하

는 도 4a에서는 설명의 편의를 위하여, 반도체칩(10)이 뒤집어진 형상을 도시한다.

도 4a에 도시된 바와 같이, 생산라인에서는 예컨대, 스퍼터링 등의 증착공정을 진행하여 칩본체(11)의 표면에 Cr, Cr/Cu, Cu 재질을 갖는 UBM막(17)을 형성한다.

계속해서, UBM막(17)과 접촉되도록 칩본체(11)의 표면에 예컨대, 볼 형상의 도전성 범프(16)를 형성한다.

이어서, 예컨대, 스퍼터링(Sputtering), 이베퍼레이션(Evaporation), 일렉트로 플레이팅(Electro plating), 일렉트로레스 플레이팅(Electroless plating) 공정을 진행하여, 칩본체(11)의 이면에, 예컨대, VNi/Au, Ti/VNi/Au, Cr/VNi/Au, Ti/Pt/Au, Cr/CrCu/(Cu)/Au, TiW/(Cu,NiV)/Au, VNi/Pd, Ti/VNi/Pd, Cr/VNi/Pd, Ti/Pt/Pd, Cr/CrCu/(Cu)/Pd, TiW/(Cu,NiV)/Pd 재질을 갖는 메탈레이어(14)를 형성한다. 이러한 각 공정이 완료되면, 칩본체(11)의 패키징을 위한 제 1 공정이 모두 마무리된다.

이때, 생산라인에서는 메탈레이어(14)를 형성하는 단계 이전에, 칩본체(11)의 이면을 클리닝하는 단계를 더 진행시킬 수도 있는데, 이 경우, 칩본체(11)의 이면은 메탈레이어(14)가 형성되기 이전에 예컨대, HF 요액을 이용한 화학적인 방법에 의해 청결하게 클리닝된다. 이러한 클리닝 과정이 본격적인 메탈레이어(14) 형성공정 이전에 미리 진행되면, 추후 형성되는 메탈레이어(14)는 칩본체(11)의 이면과 좀더 견고한 접촉력을 유지할 수 있다.

물론, 상술한 클리닝과정은 HF 요액을 이용한 화학적인 방법에 의해 달성되

지 않고, 예컨대, 플라즈마를 이용한 기계적인 방법에 의해 달성될 수도 있다. 이러한 각 방법은 생산라인의 상황에 따라서 자유롭게 선택될 수 있다.

한편, 상술한 제 1 공정은 전체적인 공정진행 순서가 상술한 각 과정과 다르게 진행될 수도 있다. 이를 살펴보면 다음과 같다.

먼저, 생산라인에서는 예컨대, 스퍼터링, 이베퍼레이션, 일렉트로 플레이팅, 일렉트로레스 플레이팅 공정을 진행하여, 칩본체(11)의 이면에, 예컨대, VNi/Au, Ti/VNi/Au, Cr/VNi/Au, Ti/Pt/Au, Cr/CrCu/(Cu)/Au, TiW/(Cu,NiV)/Au, VNi/Pd, Ti/VNi/Pd, Cr/VNi/Pd, Ti/Pt/Pd, Cr/CrCu/(Cu)/Pd, TiW/(Cu,NiV)/Pd 재질을 갖는 메탈레이어(14)를 형성한다. 물론, 상술한 바와 같이, 메탈레이어(14)를 형성하는 공정 이전에 칩본체(11)의 이면을 클리닝하는 과정이 더 진행될 수도 있다.

이어서, 스퍼터링 등의 증착공정을 진행하여 칩본체(11)의 표면에 Cr, Cr/Cu, Cu 재질을 갖는 UBM막(17)을 형성한다.

계속해서, UBM막(17)과 접촉되도록 칩본체(11)의 표면에 예컨대, 볼 형상의 도전성 범프(16)를 형성한다. 각 공정이 완료되면, 칩본체(11)의 패키징을 위한 제 1 공정이 모두 마무리된다. 이러한 이러한 각 공정순서는 생산라인의 상황에 따라서 자유롭게 선택될 수 있다.

계속해서, 제 2 공정의 진행과정을 살펴보면 다음과 같다.

먼저, 도 4b에 도시된 바와 같이, 생산라인에서는 이송기구(도시안됨)를 통해 히트 슬러그(40)와 도전성 솔더필름(30)을 정렬시킨 후, 통상의 열압착 과정을 통하여 히트 슬러그(40)와 도전성 솔더필름(30)을 접착시킴으로써, 하나로 일체화

된 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리를 형성한다.

이때, 히트 슬러그(40)와 도전성 솔더필름(30)의 열압착 과정은 예컨대, H_2 가스를 이용한 환원 분위기에서 진행된다.

여기서, 히트 슬러그(40)가 도 5a에 도시된 바와 같은 본 발명의 다른 실시예의 구조를 갖더라도, 상술한 바와 같이, 히트 슬러그(60)의 상판(67)에는 다수개의 공정가스 유입홀(64)이 형성되기 때문에, 공정가스는 히트 슬러그(60)의 측판(65)에 의한 간섭이 이루어지더라도 공정가스 유입홀(64)을 통하여 히트 슬러그의 내부로 원활히 유입될 수 있다. 물론, 상술한 바와 같이, 공정가스 유입홀(64)은 히트 슬러그(60)의 측판(65)에 형성될 수도 있으며, 이 경우에도, 공정가스는 공정가스 유입홀(64)을 통하여 히트 슬러그의 내부로 원활히 유입될 수 있다.

계속해서, 생산라인에서는 부착 완료된 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리와 상술한 제 1 공정을 통해 패키징 완료된 반도체칩(10)을 이송기구를 통해, 서로 열라시킨 후, 반도체칩(10)의 이면과 도전성 솔더필름(30)이 서로 접촉되도록 통상의 열압착 과정을 진행시킴으로써, 반도체칩(10)과 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리가 하나로 일체화되도록 한다. 각 공정이 완료되면, 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리와 반도체칩(10)을 집착하기 위한 제 2 공정이 모두 마무리된다.

계속해서, 제 3 공정의 진행과정을 살펴보면 다음과 같다.

먼저, 도 4c에 도시된 바와 같이, 생산라인에서는 이송기구를 통해 서로 일체화된 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리와 반도체칩(10)을 핸들링하

여 반도체칩(10)의 표면이 기판(20)을 향하도록 얼라인시킨 후, 히트 슬러그(40)/도전성 솔더필름(30) 어셈블리와 반도체칩(10)을 기판(20)의 본딩패드(22)에 접착시킨다. 물론, 이때, 본딩패드(22)에는 반도체칩을 접착시키기 위한 접착제층(도시 안됨)이 미리 구비되어야 한다.

계속해서, 생산라인에서는 주입치구(도시안됨)를 이용하여 반도체칩(10)과 본딩패드(22) 사이의 빈 공간에 예컨대, 액상 레진을 주입시킴으로써, 반도체칩(10)의 양 측부에 언더필링부(50)를 형성시킨다.

이러한 제 3 공정이 모두 마무리되면, 도 4c 또는 도 5b에 도시된 바와 같은 본 발명에서 얻고자 하는 반도체 패키지가 조립 완료된다.

이상의 설명에서와 같이, 본 발명에서는 히트 슬러그와 반도체칩 사이에 열전도도가 매우 우수한 도전성 솔더필름을 개재시키고, 이를 통해, 히트 슬러그의 열방출 효과가 극대화되도록 함으로써, 반도체칩이 히트 슬러그를 사용하면서도, 별다른 방해물 없이 빠른 열방출을 정상적으로 이룰 수 있도록 한다.

이러한 본 발명은 단지, 상술한 플립형 반도체 패키지에 국한되지 않으며, 생산라인에서 제조되는 전 품종의 반도체 패키지에서 전반적으로 유용한 효과를 나타낸다.

그리고, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다.

이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허

청구의 범위안에 속한다 해야 할 것이다.

【발명의 효과】

이상에서 상세히 설명한 바와 같이, 본 발명에 따른 반도체 패키지 및 그 조립방법에서는 히트 슬러그와 반도체칩 사이에 열전도도가 매우 우수한 예컨대, Pb, Sn, Ag, In, Bi의 합금재질인 도전성 솔더필름을 개재시킨다.

이러한 합금재질의 도전성 솔더필름은 열전도도가 $25\text{W/mK} \sim 40\text{W/mK}$ 정도로 매우 우수하고, 접합계면과의 밀착성이 뛰어나기 때문에, 도전성 솔더필름이 반도체칩과 히트 슬러그 사이에 개재되는 경우, 반도체칩은 자신의 고속동작에 의해 발생되는 열을 도전성 솔더필름과 히트 슬러그를 통해 신속하게 방출할 수 있다.

이러한 본 발명이 달성되는 경우, 반도체칩은 히트 슬러그를 사용하면서도, 빠른 열방출을 정상적으로 수행받을 수 있다.

【특허청구범위】

【청구항 1】

본딩패드가 구비된 기판과;

일면을 상기 본딩패드에 접촉시켜 상기 기판과 전기적으로 연결되는 반도체 칩과;

상기 반도체칩의 다른 일면에 부착되며, 상기 반도체칩으로부터 발생하는 열을 방출하는 판상의 도전성 솔더필름과;

상기 도전성 솔더필름을 매개로 상기 반도체칩에 부착되며, 상기 반도체칩으로부터 발생하는 열을 상기 도전성 솔더필름을 통해 전달받아 방출함과 아울러, 상기 반도체칩을 외압으로부터 보호하는 판상의 히트 슬러그를 포함하는 것을 특징으로 하는 반도체 패키지.

【청구항 2】

제 1 항에 있어서, 상기 반도체칩은 표면을 상기 본딩패드에 접촉시키는 것을 특징으로 하는 반도체 패키지.

【청구항 3】

제 2 항에 있어서, 상기 표면에는 상기 본딩패드와의 전기적인 연결을 위한 도전성 범프가 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 4】

제 1 항에 있어서, 상기 반도체칩은 이면을 상기 도전성 솔더필름에 접촉시키는 것을 특징으로 하는 반도체 패키지.

【청구항 5】

제 4 항에 있어서, 상기 이면에는 상기 도전성 솔더필름과의 접촉성을 향상시키기 위한 메탈레이어가 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 6】

제 5 항에 있어서, 상기 메탈레이어의 재질은 VNi/Au, Ti/VNi/Au, Cr/VNi/Au, Ti/Pt/Au, Cr/CrCu/(Cu)/Au, TiW/(Cu,NiV)/Au, VNi/Pd, Ti/VNi/Pd, Cr/VNi/Pd, Ti/Pt/Pd, Cr/CrCu/(Cu)/Pd, TiW/(Cu,NiV)/Pd로 이루어진 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 반도체 패키지.

【청구항 7】

제 1 항에 있어서, 상기 본딩패드의 상부를 포함하는 상기 반도체칩의 양 측부에는 상기 본딩패드, 범프 및 반도체칩 사이의 열팽창계수 차이를 완화시켜주기 위한 언더필링부가 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 8】

제 1 항에 있어서, 상기 도전성 솔더필름은 Pb, Sn, Ag, In, Bi의 조합으로 이루어지는 합금인 것을 특징으로 하는 반도체 패키지.

【청구항 9】

제 1 항에 있어서, 상기 도전성 솔더필름은 상기 반도체칩 이상의 사이즈를 갖는 것을 특징으로 하는 반도체 패키지.

【청구항 10】

제 1 항에 있어서, 상기 히트 슬러그는 Cu, Al, CuW로 이루어진 그룹으로부터

터 선택된 어느 하나의 금속인 것을 특징으로 하는 반도체 패키지.

【청구항 11】

제 1 항에 있어서, 상기 도전성 솔더필름과 접촉되는 상기 히트 슬러그의 일면에는 상기 도전성 솔더필름과의 접착력을 향상시키기 위한 접합레이어가 더 형성되며,

상기 접합레이어의 재질은 Ni/Au, Ag, Pd로 이루어진 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 반도체 패키지.

【청구항 12】

제 11 항에 있어서, 상기 히트 슬러그의 다른 일면에는 열방출 효과를 극대화하기 위한 열방출홈이 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 13】

제 11 항에 있어서, 상기 솔더와 접촉되지 않는 상기 히트 슬러그의 일면에는 상기 히트 슬러그의 산화를 방지하기 위한 아노다이징레이어가 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 14】

본딩패드가 구비된 기판과;

일면을 상기 본딩패드에 접촉시켜 상기 기판과 전기적으로 연결되는 반도체 칩과;

상기 반도체칩의 다른 일면에 부착되며, 상기 반도체칩으로부터 발생하는 열을 방출하는 판상의 도전성 솔더필름과;

일부분이 상기 도전성 솔더필름을 매개로 상기 반도체칩에 부착되고, 다른 일부분이 상기 기판에 접합 고정되며, 상기 반도체칩으로부터 발생하는 열을 상기 도전성 솔더필름을 통해 전달받아 방출함과 아울러, 상기 반도체칩을 외압으로부터 보호하는 히트 슬러그를 포함하는 것을 특징으로 하는 반도체 패키지.

【청구항 15】

제 14 항에 있어서, 상기 히트 슬러그는 1차로 절곡되어 상판 및 측판을 형성하고, 상기 상판이 상기 반도체칩을 커버한 상태로 상기 도전성 솔더필름과 접촉되며, 상기 측판이 상기 반도체칩의 양 측부에 놓여져 상기 기판에 접합 고정되는 것을 특징으로 하는 반도체 패키지.

【청구항 16】

제 15 항에 있어서, 상기 측판은 1차로 추가 절곡되어 하판을 형성하고, 상기 하판을 매개로 상기 기판에 고정되는 것을 특징으로 하는 반도체 패키지.

【청구항 17】

제 16 항에 있어서, 상기 하판은 실리콘 러버(Silicon rubber) 또는 일레스토머(Elastomer) 재질의 완충접합제에 의해 상기 기판에 고정되는 것을 특징으로 하는 반도체 패키지.

【청구항 18】

제 15 항에 있어서, 상기 상판에는 공정가스의 원활한 유입을 위한 공정가스 유입홀이 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 19】

제 15 항에 있어서, 상기 측면에는 공정가스의 원활한 유입을 위한 사이드 공정가스유입홀이 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 20】

제 15 항에 있어서, 상기 상판에는 상기 반도체칩으로부터 발생하는 열을 빠르게 방출하기 위한 다수개의 방열핀들이 더 형성되는 것을 특징으로 하는 반도체 패키지.

【청구항 21】

제 1 공정의 진행을 통해 반도체칩을 패키징하고,

제 2 공정의 진행을 통해 히트 슬러그와 도전성 솔더필름을 접착하여, 일체화된 히트 슬러그/도전성 솔더필름 어셈블리를 형성하며, 패키징된 상기 반도체칩의 이면과 상기 도전성 솔더필름이 접촉되도록 상기 히트 슬러그/도전성 솔더필름 어셈블리를 상기 반도체칩에 접착하고,

제 3 공정의 진행을 통해 상기 히트 슬러그/도전성 솔더필름 어셈블리가 접착된 반도체칩의 표면이 본딩패드와 접촉되도록 상기 반도체칩을 기판에 실장하는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 22】

제 21 항에 있어서, 상기 제 1 공정은 칩본체의 표면에 UBM(Under Barrier Metallurgy)막을 형성하는 단계와;

상기 UBM막과 접촉되도록 도전성 범프를 형성하는 단계와;

상기 칩본체의 이면에 메탈레이어를 형성하는 단계를 포함하는 것을 특징으로

로 하는 반도체 패키지 조립방법.

【청구항 23】

제 22 항에 있어서, 상기 메탈레이어는 스퍼터링(Sputtering), 이베퍼레이션(Evaporation), 일렉트로 플레이팅(Electro plating), 일렉트로레스 플레이팅(Electroless plating)으로 이루어진 그룹으로부터 선택된 어느 하나의 방법에 의하여 형성되는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 24】

제 22 항에 있어서, 상기 메탈레이어를 형성하는 단계 이전에, 상기 칩본체의 이면을 클리닝하는 단계가 더 진행되는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 25】

제 24 항에 있어서, 상기 클리닝은 HF 요액을 이용한 화학적인 방법에 의해 진행되는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 26】

제 24 항에 있어서, 상기 클리닝은 플라즈마를 이용한 기계적인 방법에 의해 진행되는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 27】

제 21 항에 있어서, 상기 제 1 공정은 칩본체의 이면에 메탈레이어를 형성하는 단계와;

상기 칩본체의 표면에 UBM막을 형성하는 단계와;

상기 UBM막과 접촉되도록 도전성 범프를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 조립방법.

【청구항 28】

제 21 항에 있어서, 상기 제 2 공정은 H_2 환원 분위기에서 진행되는 것을 특징으로 하는 반도체 패키지 조립방법.

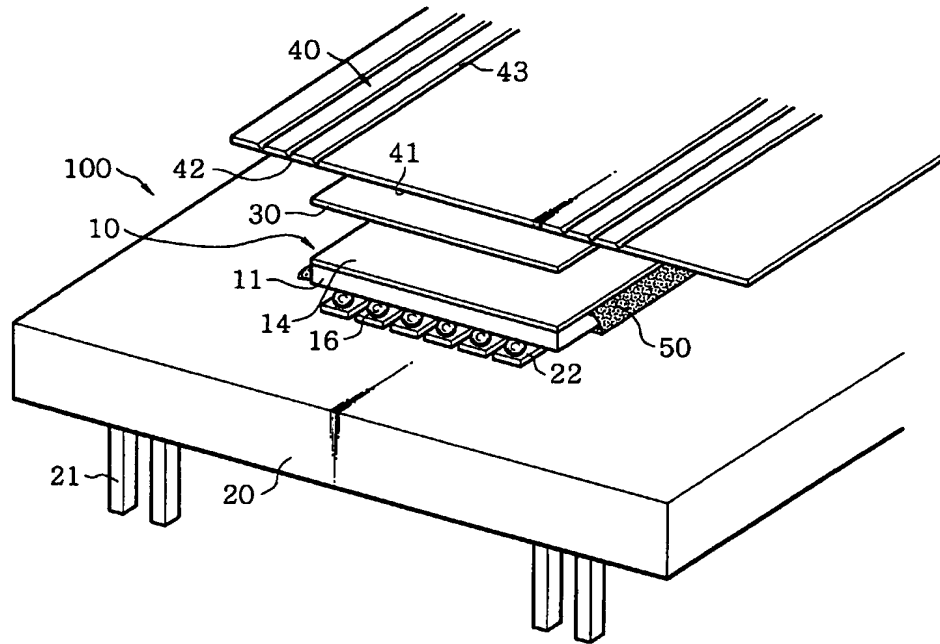
【청구항 29】

제 21 항에 있어서, 상기 제 3 공정은 상기 반도체칩의 표면을 상기 기판쪽으로 위치시킨 상태로 상기 반도체칩을 상기 기판의 본딩패드에 접촉시키는 단계와;

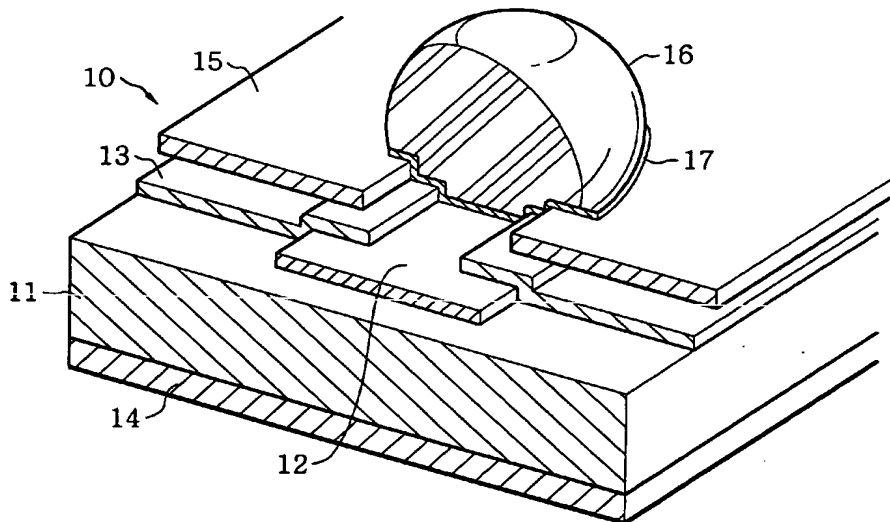
액상 레진을 상기 반도체칩과 상기 본딩패드 사이의 빈 공간에 주입 경화하여, 상기 반도체칩의 양 측부에 언더필링부를 형성시키는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 조립방법.

【도면】

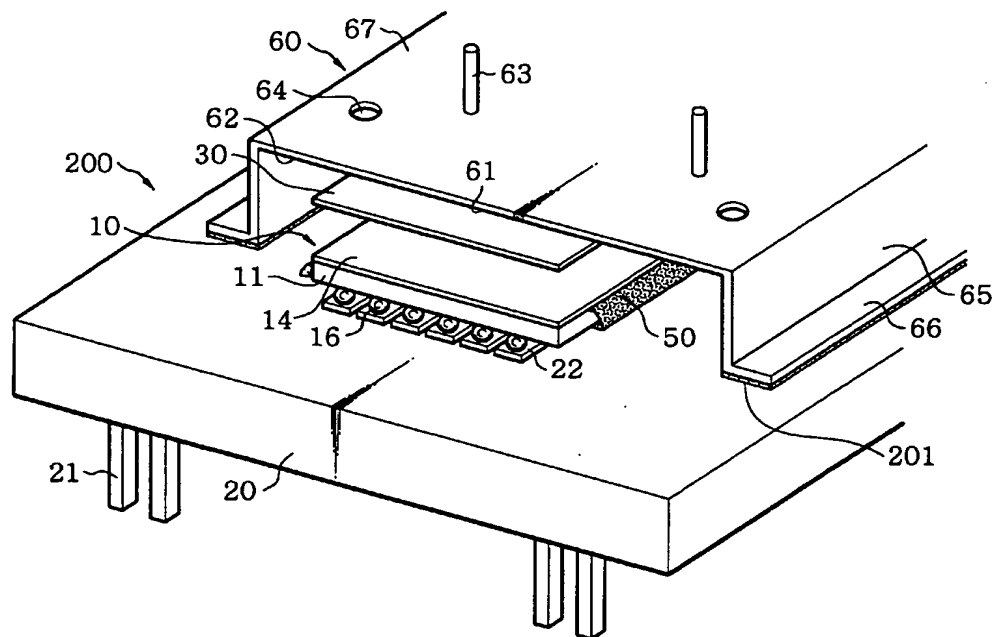
【도 1】



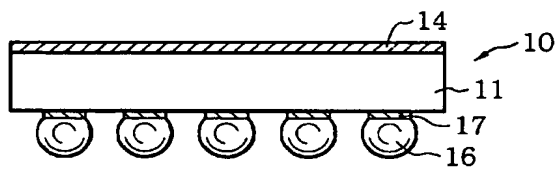
【도 2】



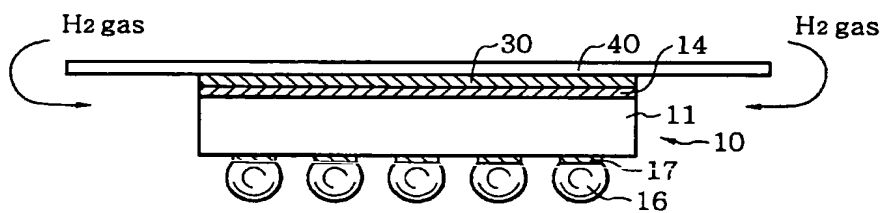
【도 3】



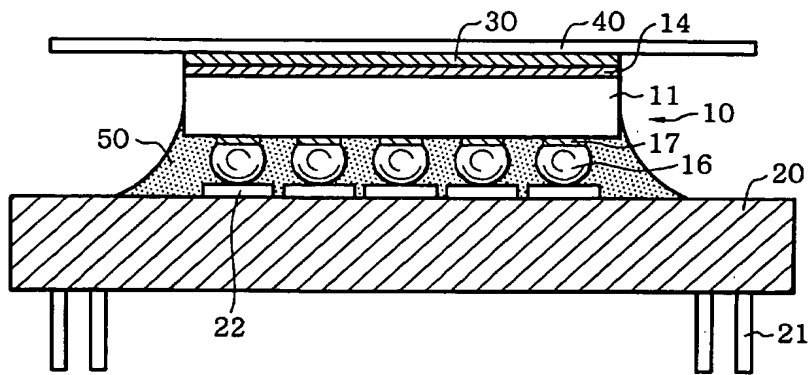
【図 4a】



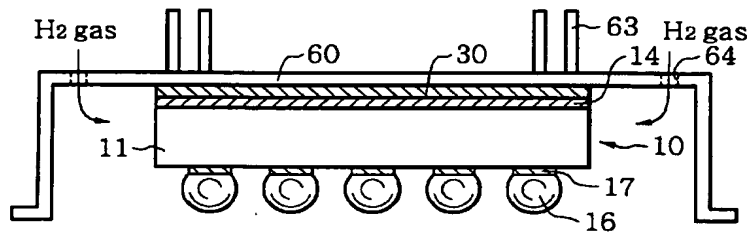
【図 4b】



【図 4c】



【図 5a】



【図 5b】

